

# Министерство образования Российской Федерации МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ

**УНИВЕРСИТЕТ им. Н.Э. БАУМАНА**

Факультет: Информатика и системы управления Кафедра: Информационная безопасность (ИУ8)

Лабораторная работа № 1

Исследование функций процессора

**Выполнил**:

Евула А.С. ИУ8-63

# Проверил:

Рафиков А. Г.

Москва, 2020

**Цель работы** — изучение устройства МТ1804; изучение структуры, принципа действия и функций процессорного элемента KI804BCI; программирование и выполнение линейных микропрограмм.

# ТЕОРЕТИЧЕСКАЯ ЧАСТЬ

Структурная схема процессора представлена на рис. 2. На схеме можно выделить четыре блока: внутренней памяти, арифметико-логический, регистра Q, управления. Блок внутренней памяти содержит: регистровое запоминающее устройство (РЗУ), имеющее шестнадцать 4-разрядннх регистров общего назначения (РОН); сдвигатель данных (СДА), позволяющий записывать в РЗУ информацию без сдвига и со сдвигом вправо или влево на один разряд; два регистра *РгА* и *РгВ* на выходе блока. Выбор регистров РЗУ как источников информации осуществляется по адресам на входах *А* и *В*. Информация из РОНов поступает на регистры *РгА, РгВ* по сигналу логической единицы (I) на тактовом входе *Т*. При сигнале логического нуля (0) эти регистры находятся в режиме хранения. Запись информации в регистр РЗУ возможна только по адресу *В* и происходит при поступлении сигнала 0 на вход *Т.*

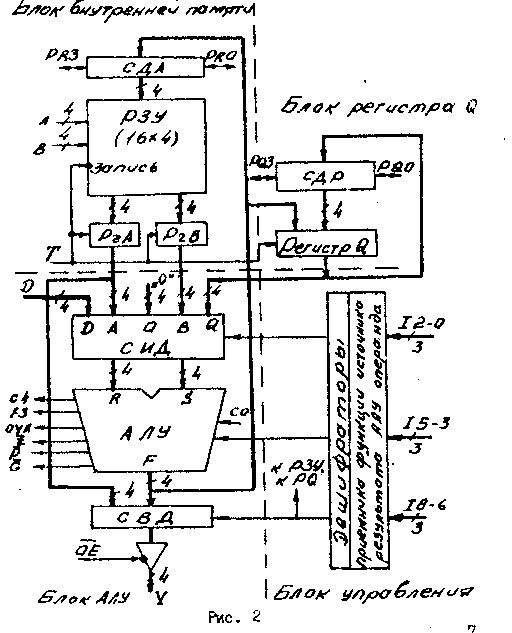


Рис1. Структурная схема процессора

Данные (*F*) с выхода АЛУ загружаются в РОН без сдвига или со сдвигом влево или вправо в зависимости от кода управления на входах 18*-*6*.*

Арифметико-логический блок содержит арифметико-логическое устройство (АЛУ), выполняющее 8 операций над операндами *R* и *S* в зависимости от кода управления на входах 15-3. Арифметические операции в АЛУ выполняются с учётом значения сигнала входного переноса CO в дополнительном коде. На выходах АЛУ формируются 4 флага (признака) результата: перенос из старшего разряда C4, переполнение *OVR=C4*⊕*C3,* знак (или содержимое старшего разряда АЛУ) *F3* и признак нулевого результата z*=*1*,* если F=0.

Источниками операндов *R* и *S* могут быть регистры РЗУ, внешняя шина данных *D,* выделенный регистр *Q* и шина "0". Выбор источников по входам *R* и S проводится с помощью селектора источника данных (СИД), управляемого кодом *12-0*. Результат операции *(F)* из АЛУ поступает на селектор выходных данных (CВД), на сдвигатель СДА и регистр Q. Приемник результата (адресуемый по адресу *B* регистр общего назначения в РЗУ, регистр *Q* или выходная шина Y) зависит от кода управления на входах 18-6 (табл. 1).

В устройстве МТ1801 применяются 32-разрядные микрокоманды. Формат микрокоманды показан в табл. 2.

|  |  |
| --- | --- |
| I5-3 | АЛУ(F) |
| 000 | R+S+CO |
| 001 | S-R-1+CO |
| 010 | R-S-1+CO |
| 011 | R ˅S |
| 100 | R˄S |
| 101 | R˄S |
| 110 | R S |
| 111 | R S |

Таблица 1.

|  |  |  |
| --- | --- | --- |
| I2-0 | R | S |
| 000 | POH(A) | PQ |
| 001 | POH(A) | POH(B) |
| 010 | 0 | PQ |
| 011 | 0 | POH(B) |
| 100 | 0 | POH(A) |
| 101 | D | POH(A) |
| 110 | D | PQ |
| 111 | D | 0 |

Таблица 2.

|  |  |  |
| --- | --- | --- |
| I8-6 | Тип загрузки | Выход Y |
| 000 | F->PQ | F |
| 001 | Нет загрузки | F |
| 010 | F->POH(B) | A |
| 011 | F->POH(B) | F |
| 100 | F/2->POH(B),Q/2->PQ | F |
| 101 | F/2->POH(B) | F |
| 110 | 2F->POH(B),2Q->PQ | F |
| 111 | 2F->POH(B) | F |

Таблица 5.

Таблица 6.

|  |  |  |  |
| --- | --- | --- | --- |
| Номер тетрады | Номер бита | Назначение бита | Функция |
| 0 | 0 | 𝐷0 | Данные для D-шины |
|  | 1 | 𝐷1 |  |
|  | 2 | 𝐷2 |  |
|  | 3 | 𝐷3 |  |
| 1 | 4 | 𝐵0 | Адрес РОН на входах В |
|  | 5 | 𝐵1 |  |
|  | 6 | 𝐵2 |  |
|  | 7 | 𝐵3 |  |
| 2 | 8 | 𝐴0 | Адрес РОН на входах А |
|  | 9 | 𝐴1 |  |
|  | 10 | 𝐴2 |  |
|  | 11 | 𝐴3 |  |
| 3 | 12 | 𝐼3 | Функция АЛУ |
|  | 13 | 𝐼4 |  |
|  | 14 | 𝐼5 |  |
|  | 15 | 𝐶𝑂 | Значение входного |
|  |  |  | переноса в АЛУ |
| 4 | 16 | 𝐼0 | Указатель операндов в |
|  | 17 | 𝐼1 | АЛУ |
|  | 18 | 𝐼2 |  |
|  | 19 | 𝑀0 | Нулевой бит |
|  |  |  | управления |
|  |  |  | мультиплексорами |
|  |  |  | сдвига |
| 5 | 20 | 𝐼6 | Определение |
|  | 21 | 𝐼7 | приемника результата |
|  | 22 | 𝐼8 | операции |
|  | 23 | 𝑀1 | Первый бит управления |
|  |  |  | мультиплексорами |
|  |  |  | сдвига |
| 6 | 24 | 𝐶𝐴0 | Управление выборкой |
|  | 25 | 𝐶𝐴1 | адреса следующей |
|  | 26 | 𝐶𝐴2 | микрокоманды |
|  | 27 | 𝐶𝐴3 |  |
| 7 | 28 | 𝐴𝑅0 | Адрес перехода |
|  | 29 | 𝐴𝑅1 |  |
|  | 30 | 𝐴𝑅2 |  |
|  | 31 | 𝐴𝑅3 |  |

# ПРАКТИЧЕСКАЯ ЧАСТЬ

3. Загрузить в память микропрограмму из табл. 7. Выполнить заданную последовательность МК, адресуя их с переключателей адреса в режиме ЗАГРУЗКА.

Таблица с командами для выполнения операций:

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Адрес памяти | Номер тетрады | | | | | | | Операции |
| 7-6 | 5 | 4 | 3 | 2 | 1 | 0 |
| AR-CA | M1.I8-6 | M0.I2-0 | C0.I5-3 | A | B | D |
| 0 | 0000 | 0010 | 0111 | 0011 | 0000 | 0000 | 0101 | **Загрузка РОН 0** РОН(B)=F=D{RvS}0 |
| 1 | 0000 | 0001 | 0111 | 0011 | 0000 | 0000 | 0000 | **Чтение РОН 0**  Y=F=D{RvS}0 |
| 2 | 0000 | 0000 | 0111 | 0011 | 0000 | 0000 | 1010 | **Загрузка РQ**  PQ=F= D{RvS}0 |
| 3 | 0000 | 0001 | 0011 | 0011 | 0000 | 0000 | 0000 | **Чтение РQ**  Y = F =D{RvS} 0 |
| 4 | 0000 | 0000 | 0100 | 0100 | 0000 | 0000 | 0000 | **Установка 0 в PQ**  PQ= F= D{R\*S}0 |
| 5 | 0000 | 0101 | 0111 | 0011 | 0000 | 0000 | 0000 | **Сдвиг РОН 0 вправо**  РОН(B)=F/2 = D{RvS}0 |
| 6 | 0000 | 0111 | 0111 | 0011 | 0000 | 0000 | 0000 | **Сдвиг РОН 0 влево**  РОН(B)=F\*2 = D{RvS}0 |
| 7 | 0000 | 1110 | 0111 | 0011 | 0000 | 0000 | 0000 | **Двойной сдвиг влево**  РОН(B)=F\*2, PQ=PQ\*2=D {RvS}0 |
| 8 | 0000 | 1100 | 0111 | 0011 | 0000 | 0000 | 0000 | **Двойной сдвиг вправо**  РОН (В) = F/2, PQ=PQ/2=D {RvS} 0 |
| 9 | 0000 | 1100 | 0111 | 0011 | 0000 | 0000 | 0000 | **POH 0+1→РОН 0**  РОН (В) = F = D {R+S+CO} 0 |
| 10 | 0000 | 0010 | 0111 | 0011 | 0000 | 0000 | 0000 | ***POH 0-1*→*POH 0***  РОН (В) = F = D {S-R-1+CO} 0 |
| 11 | 0000 | 0101 | 0111 | 0011 | 0000 | 0000 | 0000 | **Сложение со сдвигом вправо**  РОН (В) = F = D {RvS} 0 |
| 12 | 0000 | 0111 | 0111 | 0011 | 0000 | 0000 | 0000 | **Сложение со сдвигом влево**  РОН (В) = F = D {RvS} 0 |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Пуск по адресу | Вых. Y | Флаги | | | |
| C4 | OVR | F3 | Z |
| 0 | 0101 | 1 | 0 | 0 | 0 |
| 1 | 0101 | 1 | 1 | 0 | 0 |
| 2 | 0101 | 1 | 1 | 0 | 0 |
| 3 | 0101 | 1 | 1 | 0 | 0 |
| 4 | 0101 | 1 | 1 | 0 | 0 |
| 5 | 0000 | 0 | 0 | 0 | 1 |
| 6 | 0101 | 1 | 1 | 0 | 0 |
| 7 | 0101 | 1 | 1 | 0 | 1 |
| 8 | 0101 | 1 | 1 | 0 | 1 |
| 9 | 0101 | 0 | 0 | 0 | 0 |
| 10 | 0101 | 0 | 0 | 0 | 0 |
| 11 | 0101 | 0 | 0 | 1 | 0 |
| 12 | 0101 | 0 | 0 | 0 | 0 |
| 13 | 0101 | 0 | 0 | 0 | 0 |
| 14 | 0000 | 0 | 0 | 0 | 1 |
| 15 | 0000 | 0 | 0 | 0 | 1 |

5. Разработать и выполнить микропрограммы следующих операций:

# а) очистка регистра РОНi:

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Адрес памяти | Номер тетрады | | | | | | | Операции |
| 7-6 | 5 | 4 | 3 | 2 | 1 | 0 |
| AR-CA | M1.I8-6 | M0.I2-0 | C0.I5-3 | A | B | D |
| 0 | 0000 | 0011 | 0111 | 0011 | 0000 | 0000 | 0101 | **Загрузка РОН 0**  РОН(B)=F=D{RvS}0 |
| 1 | 0000 | 0011 | 0011 | 0100 | 0000 | 0000 | 0000 | **Очистка РОН 0**  РОН(B)=F=0{R\*S}РОН(В) |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Пуск по адресу | Вых. *Y* | Флаги | | | |
| C4 | OVR | F3 | Z |
| 0 | 0101 | 1 | 1 | 0 | 0 |
| 1 | 0000 | 0 | 0 | 0 | 1 |

# б) обмен данными регистров POHi и POHj(PQ):

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Адрес памяти | Номер тетрады | | | | | | | Операции |
| 7-6 | 5 | 4 | 3 | 2 | 1 | 0 |
| AR-CA | M1.I8-6 | M0.I2-0 | C0.I5-3 | A | B | D |
| 0 | 0000 | 0011 | 0111 | 0011 | 0000 | 0000 | 0101 | **Загрузка РОН 0** РОН(B)=F=D{RvS}0 |
| 1 | 0000 | 0011 | 0111 | 0011 | 0000 | 0001 | 1010 | **Загрузка РОН 1** РОН(B)=F=D{RvS}0 |
| 2 | 0000 | 0000 | 0011 | 0011 | 0000 | 0000 | 0000 | **Загрузка РQ**  PQ=F= 0 {RvS} РОН(B) |
| 3 | 0000 | 0011 | 0100 | 0011 | 0001 | 0000 | 0000 | **Загрузка в РОН 0 из РОН 1**  РОН(B)=F=0{RvS}РОН(А) |
| 4 | 0000 | 0011 | 0010 | 0011 | 0000 | 0001 | 0000 | **Загрузка в РОН 1 из PQ**  РОН(B)=F=0{RvS}PQ |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Пуск по адресу | Вых. Y | Флаги | | | |
| C4 | OVR | F3 | Z |
| 0 | 0101 | 1 | 1 | 0 | 0 |
| 1 | 1010 | 1 | 1 | 1 | 0 |
| 2 | 0101 | 1 | 1 | 0 | 0 |
| 3 | 1010 | 1 | 1 | 1 | 0 |
| 4 | 0101 | 1 | 1 | 0 | 0 |

# в) сложение/вычитание в дополнительном коде:

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Адрес памяти | Номер тетрады | | | | | | | Операции |
| 7-6 | 5 | 4 | 3 | 2 | 1 | 0 |
| AR-CA | M1.I8-6 | M0.I2-0 | C0.I5-3 | A | B | D |
| 0 | 0000 | 0000 | 0111 | 0011 | 0000 | 0000 | 0111 | **Загрузка PQ**  PQ=F=D{RvS}0 |
| 1 | 0000 | 0011 | 0111 | 0011 | 0000 | 0000 | 1010 | **Загрузка РОН 0** РОН(B)=F=D{RvS}0 |
| 2 | 0000 | 0000 | 0011 | 0011 | 0000 | 0001 | 0101 | **Загрузка РОН 1** РОН(B)=F=D{RvS}0 |
| 3 | 0000 | 0011 | 0100 | 0111 | 0000 | 0000 | 0000 | **Инверсия РОН 0**  РОН(B)=F=D{!R+S}РОН(А) |
| 4 | 0000 | 0011 | 0100 | 0111 | 0001 | 0001 | 0000 | **Инверсия РОН 1**  РОН(B)=F=D{!R+S}РОН(А) |
| 5 | 0000 | 0011 | 0101 | 0000 | 0000 | 0000 | 0001 | **РОН 0 + 1**  РОН(В) = F = D{R + S + C0}РОН(В) |
| 6 | 0000 | 0011 | 0101 | 0000 | 0001 | 0001 | 0001 | **РОН 1 + 1**  РОН(В) = F = D{R + S + C0}РОН(В) |
| 7 | 0000 | 0000 | 0000 | 0000 | 0000 | 0000 | 0000 | **РОН 0 + PQ**  PQ = F = РОН(В){R + S + C0}PQ |
| 8 | 0000 | 0000 | 0000 | 1001 | 0001 | 0000 | 0000 | **PQ – РОН 1**  PQ = F = РОН(В){S – R – 1 + C0}PQ |

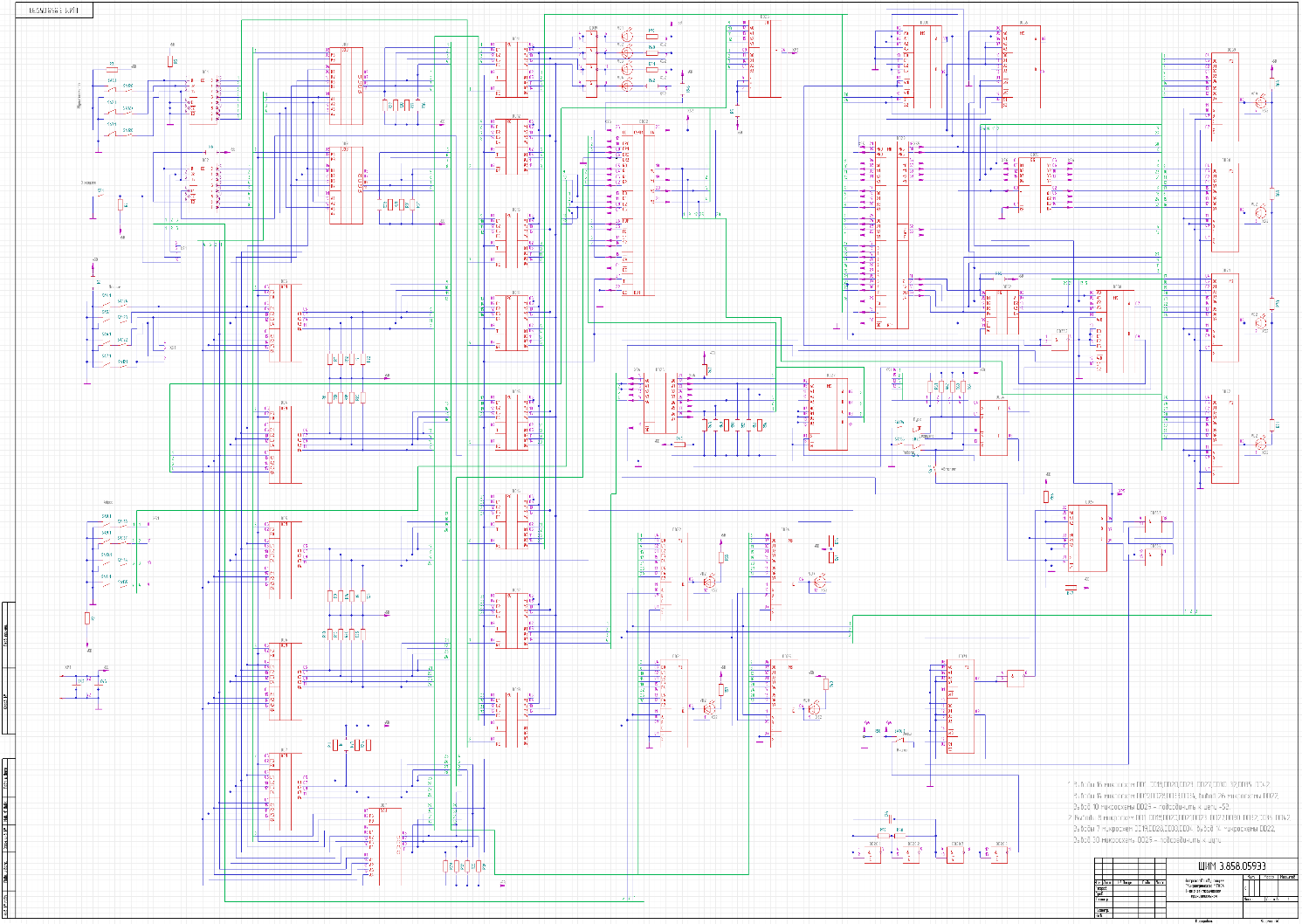
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Пуск по адресу | Вых. Y | Флаги | | | |
| C4 | OVR | F3 | Z |
| 0 | 0111 | 1 | 1 | 0 | 0 |
| 1 | 1010 | 1 | 1 | 1 | 0 |
| 2 | 0101 | 1 | 1 | 0 | 0 |
| 3 | 0101 | 1 | 1 | 0 | 0 |
| 4 | 1010 | 0 | 1 | 0 | 0 |
| 5 | 0110 | 0 | 0 | 0 | 0 |
| 6 | 1011 | 0 | 1 | 1 | 0 |
| 7 | 1101 | 0 | 1 | 1 | 0 |
| 8 | 0010 | 1 | 0 | 0 | 0 |

# г) изменение знака числа:

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Адрес памяти | Номер тетрады | | | | | | | Операции |
| 7-6 | 5 | 4 | 3 | 2 | 1 | 0 |
| AR-CA | M1.I8-6 | M0.I2-0 | C0.I5-3 | A | B | D |
| 0 | 0000 | 0011 | 0111 | 0011 | 0000 | 0000 | 0100 | **Загрузка РОН 0**  РОН(B)=F=D{RvS}0 |
| 1 | 0000 | 0011 | 0100 | 1010 | 0000 | 0001 | 0000 | **Изменение знака РОН 0**  РОН(B)=F=0{R-S-1+C0}РОН(А) |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Пуск по адресу | Вых. Y | Флаги | | | |
| C4 | OVR | F3 | Z |
| 0 | 0100 | 1 | 1 | 0 | 0 |
| 1 | 1100 | 0 | 0 | 1 | 0 |

**Изучение схемы МТ1804**

****

Для расчета быстродействия схемы необходимо рассчитать максимальное время задержки по всем возможным контурам, соединяющим тактируемые элементы схемы:

1. СУАМ (выход) → ОЗУ – 207нс;

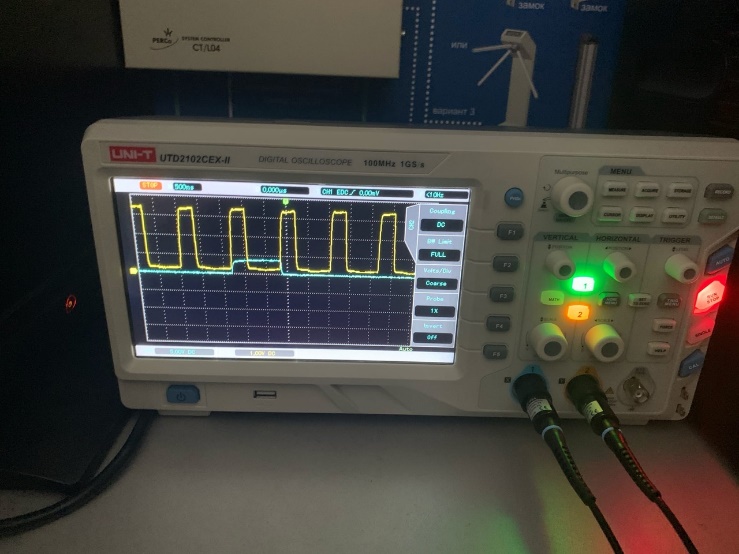
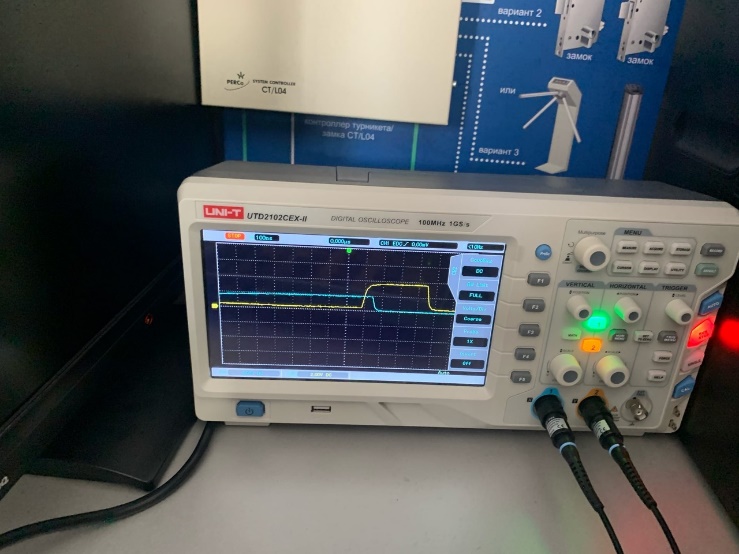
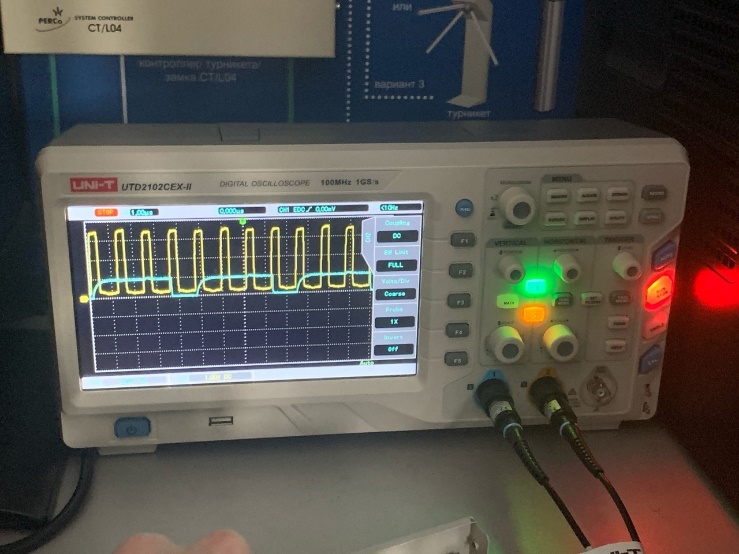
2. СУАМ (выход) → ОЗУ → СУАМ (вход) – 257нс;

3. МП → DD32 → DD38 → ПЗУ → DD27 → СУАМ (вход) – 238нс;

4. МП → DD30 → DD35 → НЕ-И → DD38 → ПЗУ → DD27 → СУАМ (вход) – 389нс.

Время задержки для 4-го контура наибольшее, поэтому быстродействие схемы определяется им. Максимальная частота тактового импульса составляет 1389нс⁄≈2,6МГц.

**Измерение тактовой частоты с помощью осциллографа**

****

Тактовая частота работы устройства МТ1804 составляет примерно 871,3кГц

# Вывод

В данной лабораторной работе был изучен принцип действия процессорного элемента К1804ВС1; были разработаны и выполнены микропрограммы операций, указанных в задании.